

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-119073

(43)Date of publication of application : 06.06.1986

(51)Int.Cl.

H01L 27/06  
H01L 27/08

(21)Application number : 59-241004

(71)Applicant : NEC CORP

(22)Date of filing : 15.11.1984

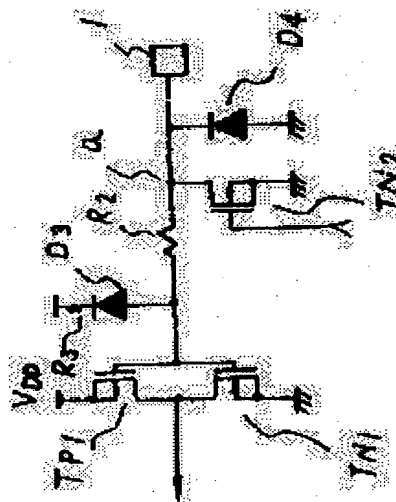
(72)Inventor : OKANO YASUNOBU

## (54) INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To enable the protection of an input and output mixed circuit from static electricity by connecting an input circuit and an output circuit by a high resistance and adding them between a protective diode between a leading electrode and a high potential level of a power source, and the input circuit.

**CONSTITUTION:** An inverter circuit input circuit is composed of a P-channel MOS transistor TP1 and an N-channel MOS transistor TN1 and a diode D3 is connected between a gate input and a VDD terminal. The gate input of the inverter circuit is further connected to an open drain output of the N-channel MOS transistor as an output circuit through a high resistor R. A diode D4 is connected between the leading electrode 1 which can become an input terminal and a low potential level of a power source (GND level). When the N-channel MOS transistor TN2 operates, the function of N-channel transistor TN2 is kept in a normal operating state by restriction of current because the resistor R2 is a high resistance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭61-119073

⑬ Int. Cl.<sup>4</sup>H 01 L 27/06  
27/08

識別記号

1 0 2  
1 0 2

庁内整理番号

6655-5F  
6655-5F

⑭ 公開 昭和61年(1986)6月6日

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 集積回路

⑯ 特 願 昭59-241004

⑰ 出 願 昭59(1984)11月15日

⑱ 発 明 者 岡 野 安 伸 東京都港区芝5丁目33番1号 日本電気株式会社  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

集 積 回 路

## 2. 特許請求の範囲

同一の外部引出し電極に入力および出力回路が接続されて前記電極が入出力端子となり得る集積回路において、前記入力回路の入力端と前記出力回路の出力端とが抵抗を介して結合され、前記入力回路の入力端と電源の一方との間に第1のダイオードが付加され、前記出力回路の出力端と電源の他方との間に第2のダイオードが付加され、前記出力回路の出力端が前記引出し電極に結合されていることを特徴とする集積回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSトランジスタを有する集積回路に関し、特にMOSトランジスタを静電気等の外

来サージ電圧に対して保護する保護回路を有するMOS集積回路に関する。

(従来の技術)

従来の静電気保護回路は、第2図に示すように引出し電極1に対して、抵抗R1と各々の電源電位(高電位、低電位)供給端子に対して設けられたダイオードD<sub>1</sub>、D<sub>2</sub>とを有し、これによって内部回路を保護しているのが一般的である。この構成では、電極1が入力端子としてこれにつながる入力回路だけを、あるいは出力端子としてこれにつながる出力回路だけをそれぞれ単独に保護する場合、その保護機能充分なものであって優れている。しかし、第2図に示すように電極1を入出力端子としてこれに入力回路(PチャネルMOSトランジスタTP1とNチャネルMOSトランジスタTN1で構成されたインバータ回路)と出力回路(NチャネルMOSトランジスタTN2のオープンドレイン回路)との両方が組合わせた回路の保護に関しては、問題が生じる。

(発明が解決しようとする問題点)

すなわち、トランジスタ  $T_{N2}$  のオープンドレイン出力を出力回路機能として使用する場合、一般には、単 MOS トランジスタ回路の利点を生かして出力回路の外部負荷としては、電源電圧よりも高電位な負荷も使用出来る様に単 MOS トランジスタ  $T_{N2}$  の設計が成されているのが一般的である。従来の保護回路を使用すると、第 2 図の回路が出力回路として動作した場合 (N チャネルトランジスタ)  $T_{N2}$  が動作状態となる)、引出し電極 1 には電源電圧 ( $V_{DD}$  レベル) よりも高い電位 ( $>V_{DD}$ ) が印加されることになり、この結果、ダイオード  $D_1$  を通して  $V_{DD}$  側へ大電流が流れて出力回路機能が誤動作する。一方ダイオード  $D_1$  を削除すると  $V_{DD}$  に対する保護が無くなるため静電気に弱くなる。

本発明の目的は保護ダイオードを通して電流が流れても、出力回路機能が誤動作を生じない保護回路を提供するものである。

(問題点を解決するための手段)

本発明は、入力回路と出力回路の間を高抵抗で

介して電流が流れることになる。ところが、抵抗  $R_2$  は高抵抗であるため、電流制限をして N チャネル MOS トランジスタ  $T_{N2}$  の機能を正常動作状態に保持する。また、保護機能に対しては第 2 図のものと実質的に変わらないことは無論である。

(発明の効果)

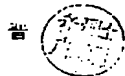
本発明の様な保護回路を利用することにより、入力・出力混合回路の静電気に対する保護が可能となる。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例を示す等価回路図、第 2 図は従来例を示す等価回路図である。

1 …… 引出し電極、 $R_1$ ,  $R_2$ ,  $R_3$  …… 抵抗、 $D_1$ ,  $D_2$ ,  $D_3$ ,  $D_4$  …… ダイオード、 $T_{P1}$  …… P チャネル MOS トランジスタ、 $T_{N1}$ ,  $T_{N2}$  …… N チャネル MOS トランジスタ。

代理人 井埋士 内 原 省

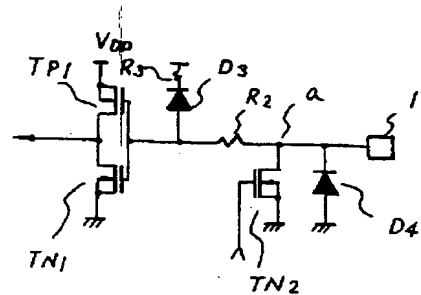


結合し引出し電極と電源の高電位レベル間の保護ダイオードを高抵抗と入力回路間に付加したことを特徴とする。

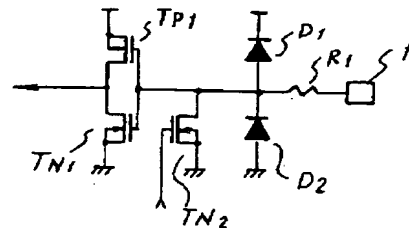
(実施例)

以下、本発明の一実施例を示す第 1 図について詳述する。P チャネル MOS トランジスタ  $T_{P1}$  と N チャネル MOS トランジスタ  $T_{N1}$  とで構成されたインバータ回路は入力回路を構成し、このゲート入力と、 $V_{DD}$  端子との間にダイオード  $D_3$  が接続されている。インバータ回路のゲート入力は、出力回路としての N チャネル MOS トランジスタのオープンドレイン出力に高抵抗  $R_2$  を介してさらに結合されている。入力端子となり得る引出し電極 1 と電源の低電位レベル ( $GND$  レベル) との間にダイオード  $D_4$  が接続されている。

今、N チャネル MOS トランジスタ  $T_{N2}$  が動作した場合、a 点の電位は、 $V_{DD}$  電位よりも大きくなり得る。したがって、外付の負荷回路からの電流経路は抵抗  $R_2$  → ダイオード  $D_3$  → ダイオードの内部抵抗  $R_3$  →  $V_{DD}$  端子となり、この経路を



第 1 図



第 2 図